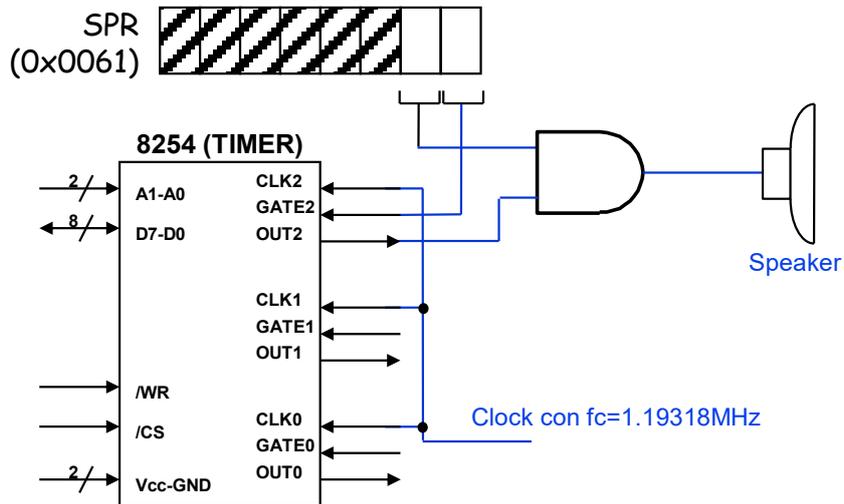


DA RESTITUIRE INSIEME AGLI ELABORATI e A TUTTI I FOGLI
 → NON USARE FOGLI NON TIMBRATI
 → ANDARE IN BAGNO PRIMA DELL'INIZIO DELLA PROVA
 → NO FOGLI PERSONALI, NO TELEFONI, SMARTPHONE/WATCH, ETC

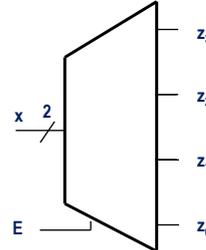
NOTE: I FOGLI UTILIZZATI PER RAGIONAMENTI VANNO RICONSEGNA TI ANCHE SE BIANCHI; PER I FILE:

- per l'esercizio 3 consegnare un file di testo di nome <COGNOME>.txt
- per l'esercizio 4 consegnare DUE files: il file del programma VERILOG di nome <COGNOME>.v
- e il file del diagramma temporale (screenshot o copy/paste → usare tasto 'STAMP') <COGNOME>.png

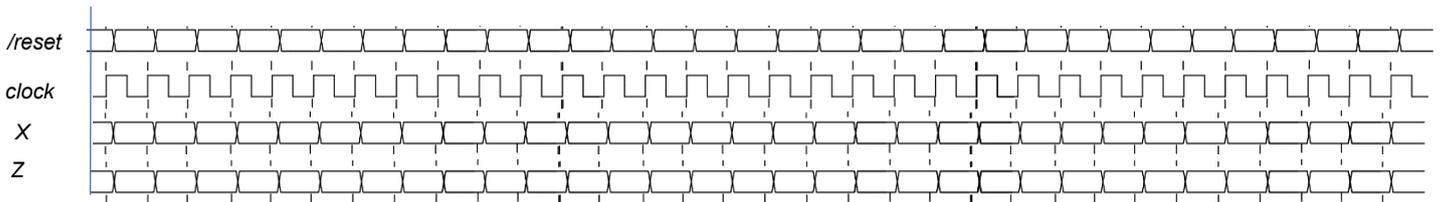
- 3) [10/30] Descrivere la procedura di programmazione del timer 8254 mappata a partire dall'indirizzo 0x900003E8 e la porta SPR (indirizzo 0x9000'00061), per ottenere sullo speaker dello schema di figura il suono corrispondente al suono standard per gli accordi (nota "LA" a 440 Hz). Si ricorda che la frequenza esterna di tale chip è pari a 1.19318 MHz. Quali sono i registri del timer da programmare unitamente a SPR? E quali i valori da scrivere in tali registri?



- 4) [20/30] Il "decoder con abilitazione" è un decoder con un ingresso aggiuntivo E (Enable) che abilita le uscite quando E=1 mentre quando E =0 tutte le uscite valgono 0: la tabella di verità nel caso da-2-a-4 è rappresentata nella figura a lato. Realizzare in Verilog tale decoder con abilitazione da-2-a-4 ([punti 8]) e successivamente realizzare in Verilog un decoder "da-3-a-8" utilizzando la descrizione del decoder con abilitazione "da-2-a-4" ([punti 8]). **Tracciare il diagramma di temporizzazione (punti 4)** come verifica della correttezza dei moduli realizzati, utilizzando il testbench fornito di seguito. Modello del diagramma temporale da tracciare:



INGRESSI		USCITE				
E	x ₁	x ₀	z ₃	z ₂	z ₁	z ₀
0	X	X	0	0	0	0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0



```

module testbench;
  reg reset; initial begin reset = 0; #22 reset = 1; #120; $stop; end
  reg clock; initial clock = 0; always #5 clock <= (!clock);
  reg [2:0] X; wire [7:0] Z;
  always #10 if (reset == 1) X <= X + 1;
  initial begin
    X = 0; // Initialize inputs
    $monitor("Input: %b, Output: %b", X, Z); // Monitor outputs
    #100 $finish; // End simulation
  end
  Decoder_3to8 decoder(Z, X);
endmodule
    
```