

DA RESTITUIRE INSIEME AGLI ELABORATI e A TUTTI I FOGLI  
 → NON USARE FOGLI NON TIMBRATI  
 → ANDARE IN BAGNO PRIMA DELL'INIZIO DELLA PROVA  
 → NO FOGLI PERSONALI, NO TELEFONI, SMARTPHONE/WATCH, ETC

COGNOME \_\_\_\_\_

NOME \_\_\_\_\_

NOTE: I FOGLI UTILIZZATI PER RAGIONAMENTI VANNO RICONSEGNA TI ANCHE SE BIANCHI; PER I FILE:

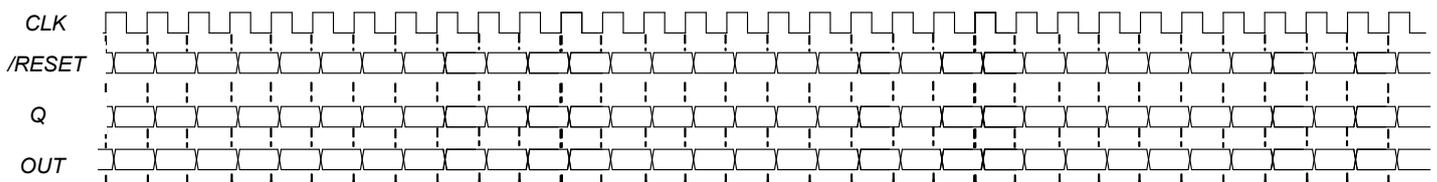
- per l'esercizio 3 consegnare un file di testo di nome <COGNOME>.txt
- per l'esercizio 4 consegnare DUE files: il file del programma VERILOG di nome <COGNOME>.v
- e il file del diagramma temporale (screenshot o copy/paste → usare tasto 'STAMP') <COGNOME>.png

- 3) [7/30] Fornendo una spiegazione ragionata, con il dettaglio del significato dei vari bit per il formato dell'istruzione, determinare a quale istruzione assembly RISC-V corrisponde la seguente stringa binaria (codice macchina) 0000 0001 1110 1011 0010 1000 1011 0011 ricordando che i codici operativi (opcode/funct3/funct7 in esadecimale) delle principali istruzioni viste sono: ADD: 33/0/00, LD: 03/3/imm, SD: 23/3/imm, BEQ: 63/0/(imm÷2), LUI: 37/imm[31:12], SLT: 33/2/0
- 4) [23/30] **Realizzare** in Verilog un serial carry counter a 4-bit che effettui un conteggio verso il basso decrementando di 2 unità ad ogni colpo di clock CLK e basato su opportuni Flip-Flop T. Il conteggio comparirà sull'uscita Q. Al raggiungimento del valore 0 l'uscita OUT passerà ad 1 (altrimenti vale 0). Il conteggio continuerà poi ciclicamente. Gli stimoli di ingresso sono dati dal seguente modulo Verilog Testbench.



**Tracciare il diagramma di temporizzazione** come verifica della correttezza dell'unità riportando i segnali CLK, /RESET, uscita Q e uscita OUT per la durata complessiva.

Nota: si può svolgere l'esercizio su carta oppure con ausilio del simulatore salvando una copia dell'output (diagramma temporale) e del programma Verilog su USB-drive del docente.



```

module TopLevel;
  reg CLK; reg RESET_; always #10 CLK<=(!CLK);
  wire[3:0] Q; wire OUT;
  initial begin
    RESET_ = 1'b1; CLK = 0;
    #2 RESET_ = 1'b0; #5 RESET_ = 1'b1; #320 $finish;
  end
  MyCounter mc(Q,OUT, CLK,RESET_);
  //debug:
  wire q0=mc.q0, q1=mc.q1, q2=mc.q2, q3=mc.q3;
endmodule
  
```