

1) Si disegni con precisione il ciclo di lettura di una DRAM riportando i segnali RAS_L, CAS_L, DQ, A, WE_L, OE_L nel caso "late read". Indicare nella figura i tempi t_{RC} , t_{RAC} , t_{PC} discutendone brevemente il significato.

2) Si consideri una cache di dimensione 192B e a 3 vie di tipo write-back. La dimensione del blocco è 16 byte, il tempo di accesso alla cache è 5 ns e la penalità in caso di miss è pari a 60 ns, la politica di rimpiazzamento è LRU. Il processore effettua i seguenti accessi in cache, ad indirizzi al byte: 22, 71, 65, 143, 81, 17, 133, 61, 190, 211, 212, 210, 115, 98, 275, 64, 259, 130, 61, 67, 70, 25.

Tali accessi sono alternativamente letture e scritture. Per la sequenza data, ricavare il tempo medio di accesso alla cache, riportare i tag contenuti in cache al termine e la lista dei blocchi (ovvero il loro indirizzo) via via eliminati durante il rimpiazzamento.